

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 55-099762

(43) Date of publication of application : 30.07.1980

(51) Int.Cl.

H01L 27/06

G11C 11/34

H01L 29/78

(21) Application number : 54-007126

(71) Applicant : HITACHI LTD

(22) Date of filing : 26.01.1979

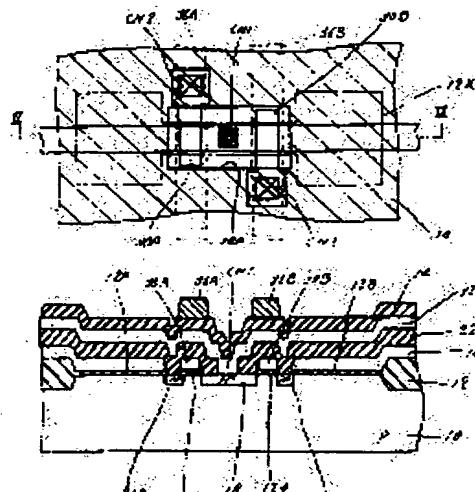
(72) Inventor : KAWAMOTO HIROSHI

## (54) SEMICONDUCTOR MEMORY DEVICE

### (57) Abstract:

**PURPOSE:** To make it possible to get high speed operation without lowering reliability by forming the surface electrode of an information storage capacitor, the gate of an information transfer IGFET and a digit line by using the 1st, 2nd and the 3rd layers poly-silicon.

**CONSTITUTION:** Field oxide film 12 consisting of SiO<sub>2</sub> is formed on P-type Si semiconductor substrate 10 by selective diffusion, and outline 12X for forming an active region is provided here. Inside this are placed thin silicon oxide films 12A, 12B, 12a, 12b, which have been formed by heat oxidization. The 2nd poly-silicon layers 30A, 30B provided on films 12a and 12b are used only as the gate electrodes of the 1st and 2nd IGFET, and not used as a word line simultaneously. A digit line, to be connected to N<sup>+</sup>-type common source region 18 by means of contact CN1, is formed of the 3rd poly-silicon layer 32. A word line which crosses digit line 32 is formed of the 4th metal layers 36A and 36B.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

① 日本国特許庁 (JP)

① 特許出願公開

## ② 公開特許公報 (A)

昭55—99762

③ Int. Cl.<sup>3</sup>  
 H 01 L 27/06  
 G 11 C 11/34  
 H 01 L 29/78

識別記号  
 101

府内整理番号  
 6426—5F  
 7922—5B  
 6603—5F

④ 公開 昭和55年(1980)7月30日  
 指明の数 1  
 審査請求 未請求

(全 4 頁)

## ⑤ 半導体記憶装置

⑥ 特 願 昭54—7126  
 ⑦ 出 願 昭54(1979)1月26日  
 ⑧ 発明者 川本洋  
 小平市上水本町1450番地株式会社

社日立製作所コンピュータ事業  
 本部デバイス開発センター内  
 ⑨ 出願人 株式会社日立製作所  
 東京都千代田区丸の内1丁目5  
 番1号  
 ⑩ 代理人 弁理士 藤田利幸

## 明細書

## 発明の名称 半導体記憶装置

## 特許請求の範囲

1. 地板ゲート電極界差異トランジスタによって情報蓄積用キャッシュへの情報蓄積の出し入れを制御するようにした1トランジスタ形式のセル構造をなえ、となりカラセルのトランジスタの共通ソース領域に接続したゲート線を各々のセルのトランジスタのゲートに対応して接続したワード線とは逆直交するように配置して成る半導体記憶装置において、位相キャッシュへの接続電極と、前記トランジスタのゲートと、所述ゲート線とをいずれもボリシリコンで形成すると共に、前記ワード線を複数ゲート線に上から重なる金属層で形成したことを持つとする半導体記憶装置。

## 発明の詳細な説明

この発明は、地板ゲート電極界差異トランジスタ(以下、1GFBTといふ)によって情報蓄積用キャッシュへの情報蓄積の出し入れを制御するよう改めた1トランジスタ形式のセル構造を有す

## 半導体記憶装置に関する。

一般に、この様な半導体記憶装置は、その1つロイヤルセルの等価回路を第1圖に示してあるように、情報伝送用の1GFBTなどと、情報蓄積用キャッシュとからなるメモリセルをワード線W<sub>1</sub>及びデジット線D<sub>1</sub>の交叉点に対応して多点個マトリクス状に配設することによって構成され、読み出し采りようによりワード線電圧V<sub>1</sub>から既定の高電圧にすることによってキャッシュCの情報電荷を1GFBT等を介してデジット線D<sub>1</sub>に読み出し、"0"情報に対応したデジット線電圧V<sub>D0</sub>又は"1"情報に対応したデジット線電圧V<sub>D1</sub>を得ふようになっている。そして、このような半導体記憶装置は、第3圖及び第6圖に示す通りセンスアンプSAに接続される一对のデジット線D<sub>1</sub>に対して各ワード線W<sub>1</sub>がどのように交叉するかとの構成から一交叉方式のものと二交叉方式のものとに大別されるのが普通である。すなわち、一交叉方式のものは既に前記したように1つのセンスアンプSAに接続される一对のデジ

(1)

(2)

ト端子に対してもワード翻訳しが2回しが交叉しないものであり、二交点方式のものは1つのセンスアンプS/Aに接続される一对のデジット端子に対して各ワード翻訳しが2回交叉するものである。

上記のようなワード翻訳デジット翻訳方式は、当然にセル配線及び周辺回路配置に影響を及ぼすものであり、二交点方式の構造は二交点方式のものに比べてセル及び周辺回路配置が複雑で、密度高集成化に適さない欠点がある。このため、最近の研究は殆ど二交点方式のものになってしまり、その代表的なセル構造は第3回及び第6回に例示されている。

最も簡単な構成は、正規の二交点方式の半導体記憶装置のとなり合う一対のチャップの構造を示すもので、これらの間に於いて、10はP型シリコンからなる半導体基板、13は基板表面を活性化して形成したSiO<sub>2</sub>からなる薄いフィルム、13Xはフィルム上に形成されたCVDのガート電極として作用するものである。一方、シリコンオキサイド膜13A、13Bの上にはそれを想定するように開孔部14Aを有する第1層配線としてのポリシリコン膜15AがCVD法などにより形成されている。このポリシリコン膜15Aは、CVDの過程で又はその後にリン等の不純物が高濃度にドープされることによって低抵抗化されているもので、シリコンオキサイド膜13A、13B上に位置する部分がそれ第1及び第2の情報蓄積用キャッシュの接線電極として作用するようになっている。一方、シリコンオキサイド膜13A、13Bの上にはそれぞれ第1

(3)

特開昭55-95752(2)  
7の構造を示すものである。アダティブ接続部用開口部15X内の接続表面には熱凍結法により形成された薄いシリコンオキサイド膜13A。

13B、13A、13Bが配置されている。シリコンオキサイド膜13A、13Bはそれぞれ第1及び第2の情報蓄積用キャッシュの接線電極として作用するものであり、シリコンオキサイド膜13A、13Bはそれぞれ第1及び第2のIGFETのGATE電極として作用するものである。

シリコンオキサイド膜13A、13Bの上には最も簡単に示すよう開孔部14Aを有する第1層配線としてのポリシリコン膜15AがCVD法などにより形成されている。このポリシリコン膜15Aは、CVDの過程で又はその後にリン等の不純物が高濃度にドープされることによって低抵抗化されているもので、シリコンオキサイド膜13A、13B上に位置する部分がそれ第1及び第2の情報蓄積用キャッシュの接線電極として作用するようになっている。一方、シリコンオキサイド膜13A、13Bの上にはそれぞれ第1

(4)

(4)

及び第2のIGFETのゲートないしワード線として作用するポリシリコン膜15A、15Bが形成されている。これらのポリシリコン膜15A、15BはCVD法等により低抵抗の第2層配線として形成されるもので、第2回に示すようなポリシリコン膜15Aの開孔部14Aを相応の形状平面上に於いて、しかも露示しないSiO<sub>2</sub>などの層間絶縁膜を介してポリシリコン膜15Aから遮断された形で形成されている。

N<sup>+</sup>電極膜18、20A、20Bはポリシリコン膜14、15A、15Bを形成後、これらをマスクとしていわゆる自回塗り方式の抵抗及びノズルはイオン打込み等の処理で形成されたもので、N<sup>+</sup>電極膜18は第1及び第2のIGFET化共通のソース電極として、またN<sup>+</sup>電極膜20A、20Bはそれぞれ第1及び第2のIGFETのドレイン電極として作用するようになっている。

ポリシリコン膜14、15A、15Bの上には、SiO<sub>2</sub>などの層間絶縁膜23がCVD法等により形成されており、この層間絶縁膜23の上に於て、ワ

(5)

ード線用ポリシリコン膜16A、16Bと呼ばれるようだん手等からなるデジット用組合金属膜21が形成されている。この金属膜21とは、第3回目の記述として意図せず等により形成されるもので、その一部分Dは接続部23に設けたコントラクト孔を介して共通ソース電極23にオーバーライド接続している。

上記構造の半導体装置は、二交点方式のものに比べてセル及び周辺回路配置が複雑で、高密度集成化に好適である利点を有する反面、ワード線がポリシリコンで形成されているためその抵抗が大きく、動作速度が遅い欠点がある。すなわち、通常ワード線の容量は3~5pFであり、ワード線をポリシリコンで形成するとその記述抵抗は10~40KΩとなる。このため、かぎりな容量を抵抗分による信号遮断作用が相当大きくなり、寄生遮断なしの遮断速度が低く制限されることとなる。いま遮断电压を参照して記述の動作速度を計算すると、ワード線に遮断ペルスを印加してからワード線電圧V<sub>W</sub>が遮断値に達するまでの時間

(6)

8.0～6.0 nsec の時間を要する。そして、このような時間遅れの後、情報伝送用 IGFET が十分導通してから“1”又は“0”に対応したデジタル電圧  $V_D$  又は  $V_B$  が定常値に達する。一方、センスアンプは情報伝送信号が約 1.0～2.0 nsec で定常値に達するため情報伝送用 IGFET が十分導通する以前に増幅動作を開始している。しかし、上記のようにワード線ないしデジタル線の電圧立ち上がりが遅いのではいくらセансアンプの動作開始が遅くても駆出速度は速くならないものである。

なお、ワード線抵抗を減らして動作速度を高めるためには、第 1 回及び第 2 回に示した装置において、ワード線 16A, 16B を△と等の金属で形成することを考えられるが、これではその形成手段として蒸着回路を用いることになるため設置面（例えばフィールドオキサイド露口部 13X）で断続が生じやすく、実質の信頼性が低下する欠点がある。

従って、この発明の目的は、信頼性を低下させ

ることなく高速動作を可能にした改良された二交点方式の半導体記憶装置を提供することにある。

この発明の一実施例による半導体記憶装置は、情報蓄積用チャッパの動作電圧を第 1 回 B のボリシリコンで、情報伝送用 IGFET のゲートを構成する層のボリシリコンで、デジタル線を構成する層のボリシリコンでそれぞれ形成すると共に、ワード線を構成する層の金属層で駆動したことを特徴とするものであり、以下、実行範囲について詳述する。

第 1 回及び第 2 回は、この発明の一実施例による 1 ランジスク型セル構造を有する二交点方式の半導体記憶装置を示すもので、特に第 1 回はとなり合うセルの平野記憶を、第 2 回は第 1 回と互いに接する層の表面をそれぞれ示している。これらの場合において、第 1 回及び第 2 回におけると同様な部分には同様な符号を付してその詳細な説明を省略する。第 3 回及び第 4 回に示した装置の各部とするところは、第 1 回にゲート絶縁膜としてのシリコンオキサイド膜 13, 13b 上にそれぞれ記

## 図 1

示した半導体ボリシリコン層 80A, 80B をそれぞれ第 1 及び第 2 の IGFET のゲート電極としての本用いるようにし、ワード線に採用しないようにしたこと、第 2 回 N+ 面共通ソース端子 18 にコンタクト部 CN1 にて接続されるデジタル線を第 8 層 B のボリシリコン層 83 で形成したこと、第 8 層にデジタル線 83 と直交するワード線を ... 等のようなら第 8 層の金属層 86A, 86B で形成し、これらの金属層 86A, 86B の各一部分 CN3, CN3a と S1O<sub>x</sub> などからなる隔間部層 84 の対応するコンタクト孔を介してゲート用ボリシリコン層 80A, 80B にそれぞれオーバーハングを加せるようにしたことである。なお、上記実施例において、IGFET のゲートを 1 層目ボリシリコンで構成し、チャッパの動作電圧を 2 層目ボリシリコンで構成するようにしてもよい。

上記したこの発明の構成によれば、金属層 86A, 86B のシート抵抗を 1.0/n に低下させることからワード線の駆動抵抗を大幅に減らし、高速動作を行なわせることが可能となる。こ

の A, ボリシリコンのシート抵抗は 1.0/n 以下に低下させるのが困難であり、この発明によればワード線の駆動抵抗を発案の約 1/10 程度に低下させることができる。また、ワード線の駆動抵抗の低下は、断路の影響で生ずる駆動動作を防止し、動作の安定性を高める点でも有益である。ちなみに、この発明の構成では、デジタル線、IGFET のゲート及びチャッパの動作電圧がいずれもボリシリコンで構成され、比較的駆動の少ない最上層（最も厚）のみが金属配線となっているので、断路発生の発生を最少限にかさえることができ、高い信頼性を確保することができる。なお、この発明の装置は二交点方式のものであるから、一交点方式のものの欠点を併かないことは明らかであろう。

### 図 2 の簡単な説明

第 1 回は、1 ランジスク型メモリセルの構成図で、第 2 回は、第 1 回の回路の動作を説明するためのタイムチャート、第 3 回及び第 4 回はワード線及びデジタル線の配線を示す平面図、第 5

## 図 2

当は、並列の1トランジスタセル構造の半導体記憶装置の電極配線を示す上部図、第6図は、第1図の装置の第一初期に作り断面図、第7図は、第6図の装置の動作を説明するためのタイムチャート、第8図は、この発明の一実施例による1トランジスタセル構造の半導体記憶装置の電極配線を示す上部図、第9図は、第8図の装置の第二初期に作り断面図である。

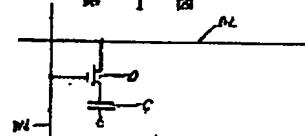
10—半導体基板、13、13A、13B、  
13C、13D—シリコンオキサイド膜、14—  
チャップンタの側の電極としてのボリシリコン層；  
16A、16B—ゲート・ワード酸素用ボリシリ  
コン層、18—共通ソース板端、30A、30B  
—ドレイン板端、32、34—周囲絶縁膜、36  
—デジット線用金属層、38A、38B—ゲート  
用ボリシリコン層、39—デジット線用ボリシリ  
コン層、56A、56B—ワード酸素用金属層。

代理人弁理士 鹿田 利幸

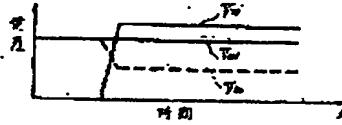
05

特開昭55-99762(4)

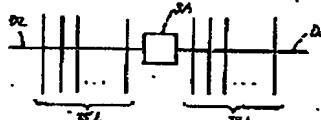
第1図



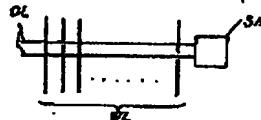
第2図



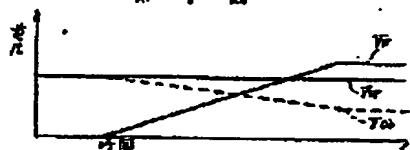
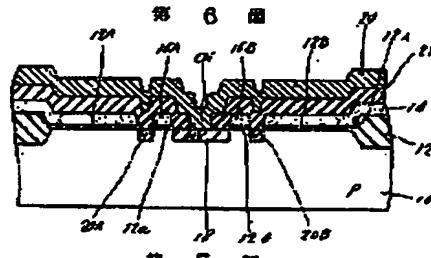
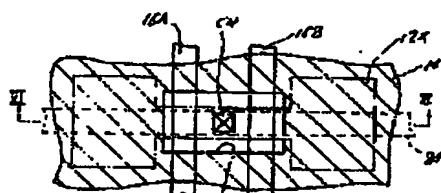
第3図



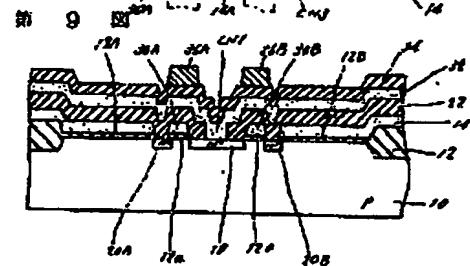
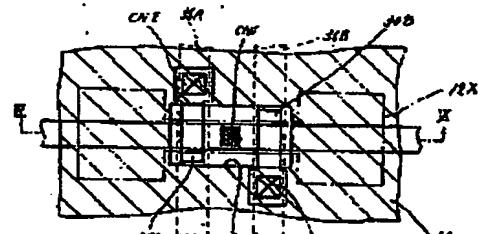
第4図



第5図



第6図



昭 61. 4. 15 発行

## 特許法第17条の2の規定による補正の掲載

昭和 54 年特許願第 7126 号 (特開 昭 55-99163 号、昭和 55 年 1 月 30 日  
発行 公開特許公報 55-998 号掲載) につ  
いては特許法第17条の2の規定による補正があつ  
たので下記のとおり掲載する。? (?)

Int.CI.	類別記号	序内整理番号
H01L 27/06		6655-57
G11C 11/34	101	6532-58
H01L 29/78		8422-59

手 布 立 正 定 (直見)

昭和 61 年 1 月 24 日

特許局長官印

事件の表示

昭和 54 年 特許願 第 7126 号

発明の名称

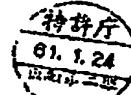
半導体記憶装置

方 式  
審査補正をする者  
事件との関係 特許出願人

名 称 (510) 株式会社 日立製作所

代 理 人  
場 所 千109 東京都千代田区丸の内一丁目5番1号  
株式会社日立製作所内  
電話 東京 212-1111 (大代表)

氏 名 (5659)弁理士 小川勝男

補正の対象  
明細書の特許請求の範囲の精

補正の内容

1. 明細書の特許請求の範囲の記載を別紙のとおりに補正する。

## 別紙

## 特許請求の範囲

1. 地磁ゲート型電界効果トランジスタによって  
情報書き用チャバシタへの情報電荷の出し入れを  
制御するようにしたメモリセルと、各メモリセル  
の地磁ゲート型電界効果トランジスタのゲート間  
を電気的に遮断するための阻感用配線とを組合して  
なる二重底方式の半導体記憶装置であつて、上記  
ゲートの電源付母と上記地磁用配線の材質とを異  
ならし化することを特徴とする半導体記憶装置。

代理人 弁理士 小川勝男



(46)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

### **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**